

PAT-NO: JP02002022809A
DOCUMENT-IDENTIFIER: JP 2002022809 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 23, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
KURIHARA, TETSUAKI	N/A

INT-CL (IPC): G01R031/28 , H01L021/66 , H01L027/04 , H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can restrain an increase in the number of pins even when the number of output terminals is increased.

SOLUTION: The semiconductor device is provided with a first input part 11 and a second input part 12 to which a test signal for probe test is input, first level shifters 14, 16 which are connected to the first input part through a first enable part 12a, second level shifters 15, 17 which are connected to the second input part via a second enable part 12b, first driver cells 21, 23 which are connected to the first level shifters, second driver cells 22, 24 which are connected to the second level shifters, first pads 27, 29 which are connected to the first driver cells and which output output signals for probe test and second pads 28, 30 which are connected to the second driver cells and which output output signals for probe test. The first and second enable parts are controlled so as to divide an output level into two.

COPYRIGHT: (C) 2002, JPO

Document Identifier - DID (1):

JP 2002022809 A

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-22809

(P2002-22809A)

(43)公開日 平成14年1月23日(2002.1.23)

(51)Int.Cl.⁷
G 0 1 R 31/28
H 0 1 L 21/66
27/04
21/822

識別記号

F I
H 0 1 L 21/66
G 0 1 R 31/28
H 0 1 L 27/04

マーク*(参考)
E 2 G 0 3 2
U 4 M 1 0 6
T 5 F 0 3 8

審査請求 未請求 請求項の数7 OL (全5頁)

(21)出願番号 特願2000-212661(P2000-212661)

(22)出願日 平成12年7月13日(2000.7.13)

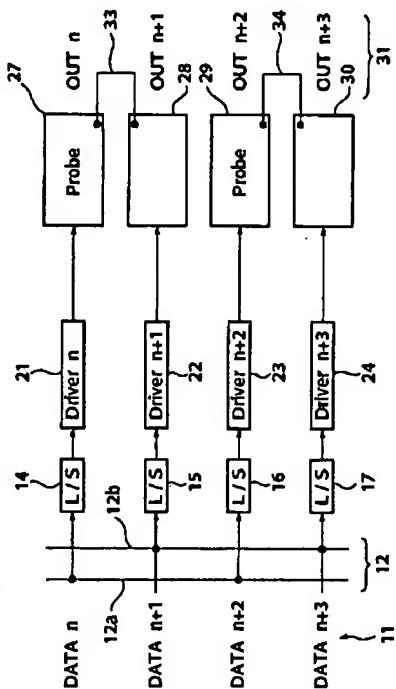
(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 栗原 哲彰
長野県飯田市大和3丁目3番5号 セイコ
ーエプソン株式会社内
(74)代理人 100095728
弁理士 上柳 雅善 (外1名)
Fターム(参考) 20032 AA00 AK01 AK15 AL05
4M106 AA02 AA07 AA08 AC08 AD01
AD23 BA01 CA01
5F038 AV15 BE01 CA10 CA13 DF14
DT03 EZ20

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 出力端子の数が増加してもテストピンの数の増加を抑制できる半導体装置を提供する。

【解決手段】 本発明に係る半導体装置は、プローブ試験のテスト信号を入力する第1、第2の入力部11と、第1の入力部に第1イネーブル部12aを介して接続された第1のレベルシフタ14, 16と、第2の入力部に第2イネーブル部12bを介して接続された第2のレベルシフタ15, 17と、第1のレベルシフタに接続された第1のドライバセル21, 23と、第2のレベルシフタに接続された第2のドライバセル22, 24と、第1のドライバセルに接続された、プローブ試験の出力信号を出力する第1のパッド27, 29と、第2のドライバセルに接続された、プローブ試験の出力信号を出力する第2のパッド28, 30と、を具備し、第1、第2イネーブル部は出力レベルを2つに分けるように制御する。



1

【特許請求の範囲】

【請求項1】 プローブ試験を行うためのテスト信号を入力する第1の入力部と、
 プローブ試験を行うためのテスト信号を入力する第2の入力部と、
 第1の入力部に第1イネーブル部を介して電気的に接続された第1の被テストセルと、
 第2の入力部に第2イネーブル部を介して電気的に接続された第2の被テストセルと、
 第1の被テストセルに電気的に接続された、プローブ試験の出力信号を出力する第1のパッドと、
 第2の被テストセルに電気的に接続された、プローブ試験の出力信号を出力する第2のパッドと、
 を具備し、
 第1イネーブル部と第2イネーブル部は、出力レベルを2つに分けるように制御するものであることを特徴とする半導体装置。

【請求項2】 上記第1の被テストセルが第1のドライバセルであり、上記第2の被テストセルが第2のドライバセルであることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記第1のパッドと第2のパッドは、スクライブライン上に形成された配線によって互いに電気的に接続されていることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 上記第1のパッドと第2のパッドは、プローブ試験を行う際に、1本のプローブ針を両パッドに当接させるものであることを特徴とする請求項1又は2記載の半導体装置。

【請求項5】 上記第1のパッドと第2のパッドは、ヒューズによって互いに電気的に接続されていることを特徴とする請求項1又は2記載の半導体装置。

【請求項6】 プローブ試験を行うためのテスト信号を入力する複数の入力部と、
 各々の入力部にイネーブル部を介して電気的に接続された被テストセルと、
 各々の被テストセルに電気的に接続された、プローブ試験の出力信号を出力するパッドと、
 を具備し、

上記イネーブル部は、出力レベルをイネーブル部の数だけ分けるように制御するものであることを特徴とする半導体装置。

【請求項7】 上記被テストセルがドライバセルであることを特徴とする請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に係わり、特に、多出力ドライバ製品の出力検査テストに関するものである。

【0002】

2

【従来の技術】 従来の半導体装置はプローブ試験時にテスト信号であるデータを入力する入力部を有している。入力部はレベルシフタ (L/S) に接続されている。レベルシフタはドライバに接続されている。ドライバはパッドに接続されており、パッドはプローブ針 (Tester pin) を当てるためのものである。

【0003】 次に、上記半導体装置のプローブ試験方法について説明する。プローブ針をパッドに当接させ、入力部からテスト信号であるデータを入力する。そして、出力をレベルシフタ及びドライバを通してパッドから取り出す。これにより、パッドからの出力信号がプローブ針から検出され、プローブ試験が行われる。

【0004】

【発明が解決しようとする課題】 ところで、従来の半導体装置では、出力端子と LSI テスター (プローブ針) を1対1に割り付けてテストしている。即ち、ドライバからの出力全部に対してプローブ針を落としてプローブ試験を行っている。このため、パッド (出力端子) の数が増加すると、それに応じてプローブ針の数も増やす必要がある。言い換えると、出力端子と同数以上のテスター (プローブカード) を有するテスターでしか1バス測定することができない。従って、多数のプローブ針を有するテスター (プローブカード) でプローブ試験を行うことになり、パッド数の増加にしたがって次々と新しいテスターが必要になり、それに応じてテスターの製造コストが高くなるという問題がある。

【0005】 本発明は上記のような事情を考慮してなされたものであり、その目的は、出力端子の数が増加してもテストビンの数の増加を抑制できる半導体装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明に係る半導体装置は、プローブ試験を行うためのテスト信号を入力する第1の入力部と、プローブ試験を行うためのテスト信号を入力する第2の入力部と、第1の入力部に第1イネーブル部を介して電気的に接続された第1の被テストセルと、第2の入力部に第2イネーブル部を介して電気的に接続された第2の被テストセルと、第1の被テストセルに電気的に接続された、プローブ試験の出力信号を出力する第1のパッドと、第2の被テストセルに電気的に接続された、プローブ試験の出力信号を出力する第2のパッドと、を具備し、第1イネーブル部と第2イネーブル部は、出力レベルを2つに分けるように制御するものであることを特徴とする。なお、本発明に係る半導体装置においては、上記第1の被テストセルが第1のドライバセルであり、上記第2の被テストセルが第2のドライバセルであることも可能である。

【0007】 上記半導体装置によれば、第1の入力部に第1イネーブル部を介して第1の被テストセルを電気的に接続し、第2の入力部に第2イネーブル部を介して第

2の被テストセルを電気的に接続する。このようにイネーブル信号を用いることによりデータ出力をイネーブルの数だけ分けることができる。つまり、イネーブルの数が2である場合、データ出力を1/2に分けることができる、イネーブルの数が3以上である場合、データ出力を1/3以下に分けることができる。具体的には、第1の入力部から入力されたテスト信号が第1イネーブルでアクティブになり、その出力信号を第1のパッドから取り出す。第2の入力部から入力されたテスト信号が第2イネーブルでアクティブになり、その出力信号を第2のパッドから取り出す。このようにデータ出力をイネーブルの数だけ分けることにより、パッドの数に対するテストピンの数を1/2以下にすることができる。従って、パッド(出力端子)の数が増加しても、テストピンの数の増加を抑制することができる。

【0008】また、本発明に係る半導体装置において、上記第1のパッドと第2のパッドは、スクライブライン上に形成された配線によって互いに電気的に接続されていることが好ましい。

【0009】また、本発明に係る半導体装置において、上記第1のパッドと第2のパッドは、スクライブライン上に形成された配線によって互いに電気的に接続されていることが好ましい。

【0010】また、本発明に係る半導体装置において、上記第1のパッドと第2のパッドは、ヒューズによって互いに電気的に接続されていることが好ましい。

【0011】本発明に係る半導体装置は、プローブ試験を行うためのテスト信号を入力する複数の入力部と、各々の入力部にイネーブル部を介して電気的に接続された被テストセルと、各々の被テストセルに電気的に接続された、プローブ試験の出力信号を出力するパッドと、を具備し、上記イネーブル部は、出力レベルをイネーブル部の数だけ分けるように制御するものであることを特徴とする。なお、本発明に係る半導体装置においては、上記被テストセルがドライバセルであることが好ましい。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1は、本発明の第1の実施の形態による半導体装置を示す構成図である。この半導体装置はドライバ出力セレクタ回路を備えている。ドライバ出力セレクタ回路は、半導体ウエハに形成されており、ウエハ状態でプローブ試験を行う際に用いるものである。

【0013】図1に示すように、半導体装置はプローブ試験時にテスト信号であるデータ(DATAn, n+1, n+2, n+3...)を入力する入力部11を有している。入力部11はイネーブル(Enable)12を介してレベルシフタ(L/S)14~17に接続されている。イネーブル12はイネーブル信号(ロジック制御)で出力レベルをコントロールするものであり、第1イネーブル12a

(又はEnableH)でアクティブになる出力と第2イネーブル12b(又はEnableL)でアクティブになる出力とが配線されている。

【0014】各々のレベルシフタ14~17はドライバ(Driver n, n+1, n+2, n+3...)21~24に配線によって接続されている。各々のドライバ21~24はパッド(OUTn, n+1, n+2, n+3...)27~30に配線によって接続されており、パッド27~30は図示せぬプローブ針(Tester pin)を当てるためのものである。

10 【0015】パッド27~30はウエハにおけるチップ領域の端部のスクライブライン31側に配置されている。各々の隣接するパッドは配線によって互いに接続されている。即ち、パッド27とパッド28は配線33によって接続されており、パッド29とパッド30は配線34によって接続されている。配線33, 34はスクライブライン31上に形成されている。

【0016】次に、上記半導体装置のプローブ試験方法について説明する。プローブ針をパッド27とパッド29に当接させ、入力部11からテスト信号であるデータ(DATAn, n+1, n+2, n+3...)を入力する。そして、イネーブル信号で出力レベルをコントロールする。

【0017】すなわち、第1イネーブル12aでアクティブになる出力を、レベルシフタ14及びドライバ21を通してパッド27から取り出すと共に、レベルシフタ16及びドライバ23を通してパッド29から取り出す。これにより、パッド27からの出力信号がパッド27に当接したプローブ針から検出され、パッド29からの出力信号がパッド29に当接したプローブ針から検出される。次に、第2イネーブル12bでアクティブになる出力を、レベルシフタ15及びドライバ22を通してパッド28から取り出すと共に、レベルシフタ17及びドライバ24を通してパッド30から取り出す。これにより、パッド28からの出力信号が配線33及びパッド27を介してパッド27に当接したプローブ針から検出され、パッド30からの出力信号が配線34及びパッド29を介してパッド29に当接したプローブ針から検出される。このようにしてプローブ試験が行われる。

【0018】その後、ウエハをダイシングすることによりチップに分割される。この際、スクライブライン上に形成された配線33, 34は切断され除去される。

【0019】上記第1の実施の形態によれば、イネーブル信号を用いることによりデータ出力をイネーブルの数だけ分けることができる。本実施の形態ではイネーブルの数が2であるため、データ出力を1/2に分けることができる。具体的には、入力部11から入力されたデータのうちDATAn, n+2が第1イネーブル12aでアクティブになり、各々の出力信号をパッド27, 29から取り出す。入力部11から入力されたデータのうちDATAn+1, n+3が第2イネーブル12bでアクティブになり、各々の出力信号をパッド28, 30から取り出す。

このようにデータ出力をイネーブルの数だけ分けると共に、分けられたパッドを配線によって互いに電気的に接続することにより、パッドの数に対するプローブ針（テストピン）の数を $1/2$ にすることができる。従って、パッド（出力端子）の数が増加しても、テストピンの数の増加を抑制することができ、プローブ試験のコストの増大を抑えることができる。

【0020】また、本実施の形態では、上述したように出力端子の数が増加しても、テストピンの数の増加を抑制することができるので、多ピンテスターへの数量的な偏りが緩和され、品種に左右されない柔軟性のある検査体制を構築することが可能となる。

【0021】また、本実施の形態では、前述したようにロジック制御で出力レベルを制御できるようにしているため、回路のオーバーヘッドを抑えることができる。オーバーヘッドとは、テスト回路などの実回路以外のテスト部分がチップの面積に占める割合をいう。

【0022】尚、上記第1の実施の形態では、イネーブルの数を2本にすることにより2本の出力レベルを1本のプローブ針（テストピン）で測定しているが、イネーブルの数を3本以上にすることにより3本以上の出力レベルを1本のプローブ針で測定することも可能である。この場合、出力パッドの数に対するテストピンの数を $1/3$ 以下にすることができる。

【0023】図2は、本発明の第2の実施の形態による半導体装置を示す構成図であり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0024】パッド27とパッド28は配線によって接続されていない。パッド27とパッド28は、プローブ試験を行う際に、1本のプローブ針36を両パッドに当接させるものである。また、パッド29とパッド30は配線によって接続されていない。パッド29とパッド30は、プローブ試験を行う際に、1本のプローブ針37を両パッドに当接させるものである。

【0025】上記半導体装置のプローブ試験を行う場合、プローブ針36をパッド27とパッド28の両方に当接させると共に、プローブ針37をパッド29とパッド30の両方に当接させる。次に、入力部11からテスト信号であるデータ(DATAn, n+1, n+2, n+3...)を入力する。そして、イネーブル信号で出力レベルをコントロールする。

【0026】上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。すなわち、データ出力をイネーブルの数だけ分けると共に、プローブ試験時に分けられたパッドを1本のプローブ針で同時に当接させることにより、パッドの数に対するプローブ針の数を $1/2$ にすることができる。

【0027】図3は、本発明の第3の実施の形態による

半導体装置を示す構成図であり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0028】パッド27とパッド28は配線によって接続されておらず、パッド27とパッド28はチップ領域でヒューズ41によって電気的に接続されている。また、パッド29とパッド30は配線によって接続されておらず、パッド29とパッド30はチップ領域でヒューズ42によって電気的に接続されている。なお、ヒューズ41, 42は、プローブ試験後にレーザーで切断される。

【0029】上記第3の実施の形態においても第1の実施の形態と同様の効果を得ることができる。すなわち、データ出力をイネーブルの数だけ分けると共に、分けられたパッドをヒューズによって互いに電気的に接続することにより、パッドの数に対するプローブ針の数を $1/2$ にすることができる。

【0030】尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。

【0031】

【発明の効果】以上説明したように本発明によれば、第1イネーブル部と第2イネーブル部が出力レベルを2つに分けるように制御するものであって、第1の入力部に第1イネーブル部を介して第1の被テストセルを電気的に接続し、第2の入力部に第2イネーブル部を介して第2の被テストセルを電気的に接続している。したがって、出力端子の数が増加してもテストピンの数の増加を抑制できる半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置を示す構成図である。

【図2】本発明の第2の実施の形態による半導体装置を示す構成図である。

【図3】本発明の第3の実施の形態による半導体装置を示す構成図である。

【符号の説明】

11 入力部

12 イネーブル(Enable)

12a 第1イネーブル

12b 第2イネーブル

14~17 レベルシフタ

21~24 ドライバ(Driver n, n+1, n+2, n+3...)

27~30 パッド(DUTn, n+1, n+2, n+3...)

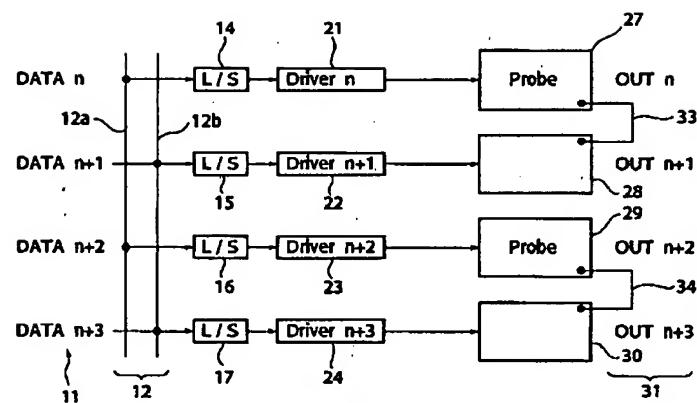
31 スクライブライン

33, 34 配線

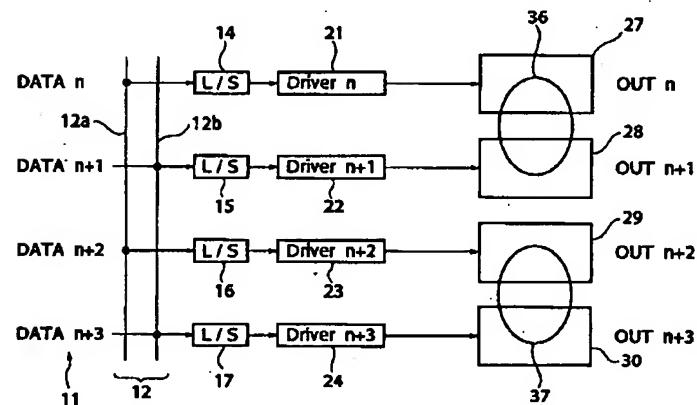
36, 37 プローブ針(テスター・ピン)

41, 42 ヒューズ

【図1】



【図2】



【図3】

